

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-134876

(43)Date of publication of application : 01.06.1993

(51)Int.Cl. G06F 9/445
G06F 13/00

(21)Application number : 03-088166

(71)Applicant : DIGITAL:KK

(22)Date of filing : 19.04.1991

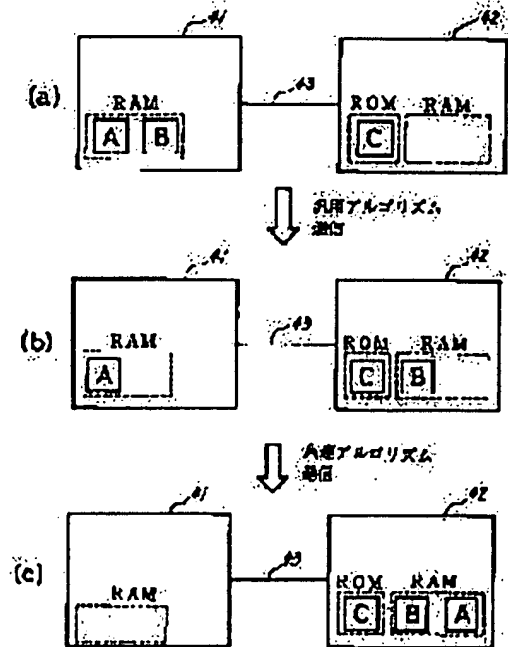
(72)Inventor : KODERA TADASHI
MORIGAKI YUICHI

(54) DOWN LOAD SYSTEM

(57)Abstract:

PURPOSE: To accelerate down load without rewriting a down load program previously set in a target system.

CONSTITUTION: A first down load program C composed of general algorithm is set to a target system (42) and a second down load program B composed of algorithm enabling high-speed communication rather than the first down load program and a target program A as the purpose of the down load are set to a host system (41). The second down load program B is down loaded from the host system (41) to the target system (42) by the first down load program C and afterwards, the target program A is down loaded from the host system (41) to the target system (42) by the second down load program B.



LEGAL STATUS

[Date of request for examination] 16.07.1997

[Date of sending the examiner's decision of rejection] 10.07.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51)Int.Cl. ⁸ G 0 6 F 9/445 13/00	識別記号 3 5 1 H	庁内整理番号 7368-5B 8944-5B	F I G 0 6 F 9/ 06	技術表示箇所 4 2 0 J
--	-----------------	------------------------------	--------------------------	-----------------------

審査請求 未請求 請求項の数2(全 19 頁)

(21)出願番号 特願平3-88166

(22)出願日 平成3年(1991)4月19日

(71)出願人 000134109

株式会社デジタル

大阪府大阪市住之江区南港東8丁目2番52号

(72)発明者 小寺 忠志

大阪府松原市三宅西5-781-3 株式会社デジタル内

(72)発明者 森垣 祐一

大阪府松原市三宅西5-781-3 株式会社デジタル内

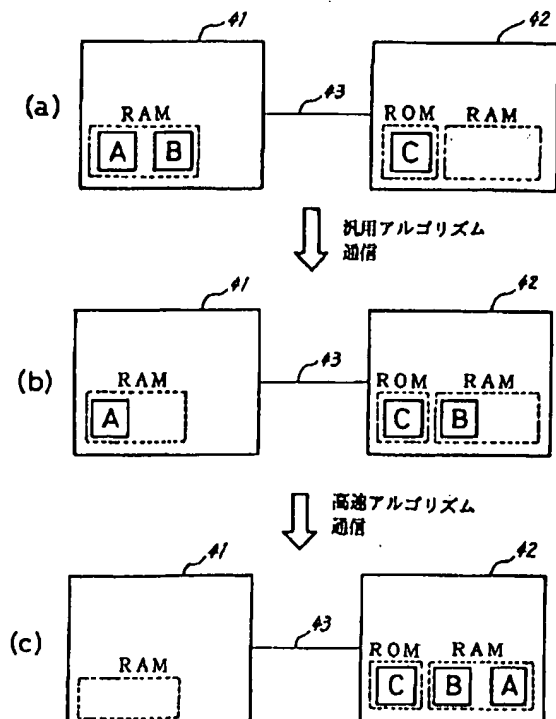
(74)代理人 弁理士 丸山 敏之 (外1名)

(54)【発明の名称】 ダウンロード方式

(57)【要約】

【目的】 ターゲットシステムに予め設定されているダウンロードプログラムを書換えることなく、ダウンロードの高速化を図る。

【構成】 ターゲットシステム(42)には汎用的なアルゴリズムからなる第1のダウンロードプログラムCを設定すると共に、ホストシステム(41)には、前記第1のダウンロードプログラムよりも高速通信が可能なアルゴリズムからなる第2のダウンロードプログラムBと、ダウンロードの目的とするターゲットプログラムAを設定し、第1ダウンロードプログラムCによって第2ダウンロードプログラムBをホストシステム(41)からターゲットシステム(42)へダウンロードした後、該第2ダウンロードプログラムBによってターゲットプログラムAをホストシステム(41)からターゲットシステム(42)へダウンロードする。



【特許請求の範囲】

【請求項1】 ホストシステム(41)とターゲットシステム(42)を通信ケーブルを介して接続し、ホストシステム(41)からターゲットシステム(42)へターゲットプログラムのダウンロードを行なう方式において、ターゲットシステム(42)には汎用的なアルゴリズムからなる第1のダウンロードプログラムを設定すると共に、ホストシステム(41)には、前記第1のダウンロードプログラムよりも高速通信が可能なアルゴリズムからなる第2のダウンロードプログラムと、ダウンロードの目的とするターゲットプログラムを設定し、第1ダウンロードプログラムによって第2ダウンロードプログラムをホストシステム(41)からターゲットシステム(42)へダウンロードした後、該第2ダウンロードプログラムによってターゲットプログラムをホストシステム(41)からターゲットシステム(42)へダウンロードすることを特徴とするダウンロード方式。

【請求項2】 ホストシステム(41)とターゲットシステム(42)とはRS-232C通信ケーブル(43)によって接続され、第1ダウンロードプログラムはRS-232C通信アルゴリズムから構成される請求項1に記載のダウンロード方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、上位機であるホストシステムから下位機であるターゲットシステムへのダウンロード方式に関するものである。

【0002】

【従来の技術】従来のダウンロード方式は、図29(a)(b)の如くターゲットシステム(42)のROMに予め設定されているダウンロードプログラムCを起動し、これによってホストシステム(41)内のターゲットプログラムAを、例えばRS-232C通信ケーブル(43)を介してターゲットシステム(42)へダウンロードするものである。

【0003】

【発明が解決しようとする課題】ところが、従来のダウンロード方式においては、ダウンロードプログラムがROMに登録されているために、その書き換えが困難であり、ダウンロードの高速化等の為にダウンロードプログラムがバージョンアップされた場合には、ROM自体の交換が必要となる問題があった。一方、ダウンロードプログラムをRAMに登録しておいて、その書き換えを容易にすることは可能である。しかし、例えばホストシステム(41)となるパーソナルコンピュータを相互に接続して異機種ネットワークを構築する場合、ターゲットシステム(42)はプロトコル変換用のアダプターとして用いることが出来るが、この場合、該ターゲットシステム(42)にRAM書き換え用の入出力ポート等を設けることは、装置の大形化、複雑化を招いて実用的でない。

【0004】本発明の目的は、ターゲットシステムに予

め設定されているダウンロードプログラムを書換えることなく、ダウンロードの高速化を図ることである。

【0005】

【課題を解決する為の手段】本発明に係るダウンロード方式は、図3(a)の如くターゲットシステム(42)には汎用的なアルゴリズムからなる第1のダウンロードプログラムCを設定すると共に、ホストシステム(41)には、前記第1のダウンロードプログラムCよりも高速通信が可能なアルゴリズムからなる第2のダウンロードプログラムBと、ダウンロードの目的とするターゲットプログラムAを設定する。そして、図3(b)の如く第1ダウンロードプログラムCによって第2ダウンロードプログラムBをホストシステム(41)からターゲットシステム(42)へダウンロードした後、図3(c)の如く該第2ダウンロードプログラムBによってターゲットプログラムAをホストシステム(41)からターゲットシステム(42)へダウンロードするのである。

【0006】

【作用】第1のダウンロードプログラムCは例えばRS-232C通信アルゴリズムに基づくものであって、その動作は一般に低速であるが、第2ダウンロードプログラムBは単純なアルゴリズムから構成されるから、第2ダウンロードプログラムB自体のダウンロードは短時間で終了する。ターゲットプログラムAはアプリケーション等であって、一般に複雑で長いステップから構成されるが、該ターゲットプログラムAのダウンロードは、第2ダウンロードプログラムBによって高速に行なわれる。従って、第1ダウンロードプログラムCによって直接にターゲットプログラムAをダウンロードする場合に比べて、所要時間は短縮される。尚、ホストシステム(41)は例えばパーソナルコンピュータ等であって、キーボード、ディスプレイ等の入出力装置を標準装備しているから、第2ダウンロードプログラムBはホストシステム(41)にて容易に書き換えることが出来る。

【0007】

【発明の効果】本発明に係るダウンロード方式によれば、ターゲットシステムに設定されている汎用的なダウンロードプログラムは書き換えることなく、ホストシステムに設定されている高速アルゴリズムによるダウンロードプログラムを書き換えることによって、容易にバージョンアップを図ることが出来、これによってターゲットプログラムのダウンロードの更なる高速化が可能となる。

【0008】

【実施例】実施例は本発明を説明するためのものであって、特許請求の範囲に記載の発明を限定し、或は範囲を減縮する様に解すべきではない。図2は、本発明に係るダウンロード方式を実施すべきホストシステム(41)とターゲットシステム(42)の構成を示し、夫々RS-232C通信コネクタ(44)、通信制御回路(45)、CPU(4

3

6)、ROM(47)及びRAM(48)からなる一般的なハードウェアを具えている。ホストシステム(41)とターゲットシステム(42)とはRS-232C通信ケーブル(43)によって相互に接続されている。

【0009】図3(a)の如くターゲットシステム(42)のROMには、RS-232C通信アルゴリズムからなる第1ダウンロードプログラムCが登録されている。一方、ホストシステム(41)のRAMには、後述の高速通信アルゴリズムからなる第2ダウンロードプログラムBと、ダウンロードの目的とするターゲットプログラムAが登録されている。第1ダウンロードプログラムCについては周知のところであるので、説明を省略する。第2ダウンロードプログラムBについては後述する。ダウンロードに際しては、先ず図3(b)の如く、第1ダウンロードプログラムCを起動して、第2ダウンロードプログラムBをホストシステム(41)からターゲットシステム(42)のRAMへダウンロードする。その後、図3(c)の如くターゲットシステム(42)のRAMに登録されている第2ダウンロードプログラムBを起動して、ターゲットプログラムAをホストシステム(41)からターゲットシステム(42)のRAMへダウンロードするのである。

【0010】ターゲットシステム(42)のROMに予め登録されている第1ダウンロードプログラムのバージョンアップにはROMの交換を必要とするが、ホストシステム(41)のRAMに登録されている第2ダウンロードプログラムは、ホストシステム(41)に接続したキーボード等の操作によって容易に書き換えることが出来、バージョンアップに対して迅速に対処出来る。従って、第1ダウンロードプログラムを書き換えることなく、第2ダウンロードプログラムのバージョンアップのみによって、ターゲットプログラムのダウンロードを随時、高速化してゆくことが可能である。

【0011】図1は上記ダウンロード方式の具体的な実行手続きを示しており、第1ロード指令(31)が発せられると、第1ダウンロードプログラムが起動して、RS-232C通信アルゴリズムによる第2ダウンロードプログラムのダウンロード(32)が実行される。次に第2ロード指令(33)が発せられると、第2ダウンロードプログラムが起動して、高速アルゴリズムによるターゲットプログラムのダウンロード(34)が実行される。

【0012】以下、第2ダウンロードプログラムが採用している高速データ通信方式を、パラレルデータを伝送する第1実施例とシリアルデータを伝送する第2実施例について説明する。

【0013】〔第1実施例〕図4は、高速データ通信方式を採用する一対のコンピュータシステム(1)(2)の構成例を示しており、各コンピュータシステムは夫々、CPU(3)及びメモリ(4)からなるコンピュータ本体と所定の通信プロトコルを実行する通信制御回路(5)とから構成される。

4

【0014】両コンピュータシステム(1)(2)の通信制御回路(5)(5)は4本の制御線と8ビットのデータバスDTEPORTを介して互いに連結されている。4本の制御線が接続される端子は、主局宣言を表わす制御信号CLKOUT及びSTISOUTを出力すべき2つの出力端子と、従局承諾を表わす制御信号CLKIN及びSTISINが入力されるべき2つの入力端子から構成される。通信制御回路(5)は1チップLSIから形成され、図5に示す如くデータバスバッファ(6)、リード/ライトロジック(7)、コントロールロジック(8)及びデータポート(9)の4つのブロックから構成される。データバスバッファ(6)は前記CPU(3)とのインターフェースを司るもので、リード/ライトロジック(7)からのデータ方向制御信号及びENABLE信号により、CPUと内部バスとの間のデータ交換、データ保持を行なうものであり、これによって通信制御回路(5)とCPU(3)の非同期的な動作を可能としている。リード/ライトロジック(7)は、CPU(3)による制御の下でCPUからのデータD0~D7をデータポート(9)を経てデータバスDTEPORTへ送出し、或いは逆に取り込むことを目的として、データバスバッファ(6)及びデータポート(9)を制御するものである。データポート(9)は内部バスと外部機器とのデータ交換、データ保持を行なうものであり、必要に応じて信号のレベル変換等を行なう。

【0015】コントロールロジック(8)は、後述のアイドル、同期及び伝送の3つのフェーズを管理制御するものであって、図6に示す様にフェーズコントロールユニット(10)、カウンタユニット(11)及びバスコントロールユニット(12)の3つのブロックから構成される。バスコントロールユニット(12)は信号のレベル変換、4本の制御信号線の制御及びサンプリングを行なうものである。フェーズコントロールユニット(10)は前記各フェーズにおける通信制御、フェーズ間の移行制御のための一連の手続(図18乃至図22参照)を実行するもので、必要に応じてバスコントロールユニット(12)の制御、カウンタユニット(11)の起動を行なう。カウンタユニット(11)は前記各フェーズのタイムアウト検知のための時間監視を行なうものである。

【0016】伝送制御に際して形成される通信プロトコルは図7(a)(b)に示す如く、アイドルフェーズ、同期フェーズ、及び伝送フェーズの3つの基本フェーズで構成される。アイドルフェーズは、自局の送信要求がない場合に相手局からの受信要求を監視する状態である。同期フェーズは、主局(送信側)と従局(受信側)の決定をすると共に、その後の伝送フェーズにてデータを確実に通信するための主局、従局間のタイミング調整を行なう状態であり、両局ともアイドルフェーズにある状態から主局が従局に受信依頼を通知することによって開始する。伝送フェーズは2局間で取り決めた個数のデータフレームを送受信するための状態で、同期フェーズにて前記タイミング調整が完了(以下、同期確立という)した後に開

始する。

【0017】図8は、主局から従局へのデータ伝送(送信)、従局から主局へのデータ伝送(受信)を行なう場合のフェーズ遷移を示している。アイドルフェーズにて受信要求が出されると受信同期フェーズへ遷移し、送信要求が出されると送信同期フェーズへ遷移する。受信或いは送信同期フェーズにて同期不良が発生するとアイドルフェーズへ戻る。受信同期フェーズ或いは送信同期フェーズで同期が確立すると、受信伝送フェーズ或いは送信伝送フェーズへ遷移する。受信或いは送信伝送フェーズにて伝送が終了し、又はタイムアウトが発生するとアイドルフェーズへ戻る。これらのフェーズ遷移を実現するための手続については後述する。以下、アイドルフェーズ、同期フェーズ及び伝送フェーズにおける各制御信号の変化について説明する。

【0018】① アイドルフェーズ

図9中の1.の印で示す如く、自局は送信の意志がない場合は制御信号CLKOUT及びSTSCOUTをともに1に設定し、その状態で外部からの基準クロックに同期したタイミングで相手局からの制御信号CLKIN及びSTSSINの状態を調査し、両方とも0でなければ相手局からの受信要求もないと判断し、アイドルフェーズを継続する。図中の2.の印で示す如くCLKIN及びSTSSINがともに0となったときは、相手局からの受信要求の可能性があるので、受信同期フェーズに遷移する。尚、図9にて括弧書きの制御信号は相手局にとっての制御信号の種類を表わしており、以下の説明及び他の図においても同様とする。又、自局からの送信要求がある場合は、図10中の2.の印で示す如く、CLKIN及びSTSSINがともに1であることを前提に、CLKOUT及びSTSCOUTをともに0に設定する。但し、CLKIN及びSTSSINがともに1でない場合には、STSCOUTはハイインピーダンス状態を維持し(図示省略)、データポート上での信号衝突を回避する。

【0019】② 同期フェーズ

図11中の1.の印で示す如く、従局(受信側)は受信状態で制御信号(CLKIN)及び(STSSIN)がともに0となるのを待って、その確認応答として制御信号(CLKOUT)を1、(STSCOUT)を0とする。図中の2.の印で示す如く、主局(送信側)は、CLKINが1であって且つSTSSINが0に移行したとき、受信側が伝送開始シーケンスを認識したとみなして、CLKOUTを1、STSCOUTを0に設定する。一定時間内にCLKINが1、STSSINが0にならない場合はアイドルフェーズに遷移する。更に図中の3.の印で示すように、受信側は、(CLKIN)が1、(STSSIN)が0となるのを待って、伝送フェーズ移行準備完了通知の意味で(CLKOUT)及び(STSCOUT)をともに1に設定する。一定時間内に上記の状態にならず、或いは他の状態を検出した場合はアイドルフェーズへ遷移する。尚、両局が同時に送信を開始せんとしてコンテンションが発生し、タイムアウトとしてアイドルフェーズへ移行した場合は、両局が同相同周期の基準ク

ロックを使用するわけではないので、再度同期フェーズを実行することによってコンテンションは解消される。

【0020】上記同期フェーズは、4つの制御信号CLKOUT、STSCOUT、CLKIN及びSTSSINの状態変化によるパターンマッチングとして捉えることが出来、所定のパターンマッチングが得られたとき、同期が確立することになる。又、4つの信号線のパターンには特別な意味が付与されている。即ち、図14及び図15に示す様に①の時点(アイドルフェーズ)から②の時点(同期フェーズ)への移行(第1ステップ)において、CLKOUT及びSTSCOUTを1から0に変化させることによって、主局宣言コマンドが形成され、一方の局が主局宣言を為したことが表わされる。次に、②の時点から③の時点への移行(第2ステップ)において、(CLKOUT)を1に維持したまま、(STSCOUT)を1から0へ変化させることによって、従局承諾ステータスが形成され、従局の承諾を表わす。更に③の時点から④の時点への移行(第3ステップ)において、STSCOUTを0に維持したまま、CLKOUTを0から1へ変化させることによって、送信開始要求コマンドが形成され、主局が送信開始を要求したことが表わされる。更に又、④の時点から⑤の時点への移行(第4ステップ)において、(CLKOUT)を1に維持したまま、(STSCOUT)を0から1に変化させることによって、従局準備完了ステータスが形成され、従局の受信準備完了(同期確立)を表わすのである。

【0021】前記コマンド及びステータスは、夫々2つの制御信号から形成されているから、制御線の電気特性によってスレッシュホールドレベルに達するまでの時間に差が生じた場合にも、誤認による事故は効果的に防止される。又、主局宣言コマンド及び従局承諾ステータスのみならず、送信開始要求コマンド及び受信準備完了ステータスの形成によって同期確立が達成されているから、コンテンションが発生した場合にも誤認によるデータ伝送は確実に防止されることになる。尚、同期フェーズにおける4つの制御信号の同期パターンとしては、図14及び図15に示すものを含めて原理的には36種類あり得るが、初期条件値及び終了条件値を考慮し、更に後述の伝送フェーズにおいて出現する可能性のないパターンを選定する必要がある。この条件を満たすパターンとしては、図14及び図15に示すもの以外に、図16及び図17に示すパターンが採用可能である。

【0022】③ 伝送フェーズ

データの伝送は図12に示す如く主局(送信側)が送出する制御信号CLKOUTと従局(受信側)が送出する制御信号CLKINのハンドシェイクに同期して行なわれる。同期フェーズを正常に通過して、制御信号CLKIN及びSTSSINがともに1となって伝送開始条件が整うと、図中の1.に示す様に、送信側はCLKOUTを0に設定すると共に、DTPORTに該当ビットを出力する。受信側は同図の2.に示す様に(CLKIN)が0となるのを待って、(DTPORT)から該当ビットを取り出し、(CLKOUT)を0に設定する。送信側は、3.に示

7

す様にCLKINが0となるのを待って、CLKOUTを1に設定すると共に、DTFORDに該当ビットを出力する。受信側は、4.に示す様に(CLKIN)が1となるのを待って、(DTFORD)から該当ビットを取り出し、(CLKOUT)を1に設定する。以上のシーケンスを繰返すことによって次々とデータが伝送されるのである。この過程で、送信側は、5.に示す様にSTSSINが0に変化したとき、送信アポートとする。受信側は、6.に示す様に(STSSIN)が1になったとき、相手の送信完了とみなす。

【0023】図13は、上記のアイドルフェーズから同期フェーズを経て、主局から従局への伝送フェーズへ遷移し、更に同期フェーズを経て従局から主局への伝送フェーズへ至る一連のシーケンスを示している。図示の如く、制御信号の状態変化の僅か2周期で同期が確立し、その後の伝送フェーズへの移行は淀みなく行なわれ、然も伝送フェーズにおけるデータ伝送は制御信号の状態変化周期と同一の周期で行なわれており、極めて高速のデータ伝送が実現がされている。

【0024】以下、図19乃至図23のフローチャートに沿って図6のフェーズコントロールユニット(10)に登録されている手続について説明する。図18に示す様にアイドルフェーズでは、CPUからの信号が送信要求か否か判断(15)し、YESであれば送信同期フェーズへ遷移し、NOの場合は、CLKOUT及びSTSSOUTがともに0か否か判断(16)する。NOの場合は前記判断(15)に戻り、YESの場合は受信同期フェーズへ遷移する。送信同期フェーズにおいては、図19に示す様にステート監視タイマーをスタートした後、該タイマーのタイムアップを監視しつつ、CLKIN及びSTSSINがともに1であるか否かを判断(17)し、YESの場合は、CLKOUT及びSTSSOUTをともに0に設定する。その後、ステート監視タイマーによるタイムアップを監視しつつ、CLKINが1でSTSSINが0であるか否かを判断(18)し、YESの場合はCLKOUTを1、STSSOUTを0に設定する。更にステート監視タイマーによるタイムアップを監視しつつ、CLKIN、STSSINともに1か否かを判断(19)し、YESの場合は送信伝送フェーズへ移行する。

【0025】一方、受信同期フェーズに於いては、図20に示す如くステート監視タイマーによるタイムアップを監視しつつ、(CLKIN)、(STSSIN)ともに0か否かを判断(20)し、YESの場合は(CLKOUT)を1、(STSSOUT)を0とする。次にステート監視タイマーによるタイムアップを監視しつつ、(CLKIN)が1で(STSSIN)が0か否かを判断(21)し、YESの場合は(CLKOUT)、(STSSOUT)をともに1とした後、受信伝送フェーズへ遷移する。

【0026】図21の如く送信伝送フェーズ1では、ステート監視タイマーによるタイムアップを監視しつつ、CLKIN、STSSINがともに1であるか否かを判断(22)し、YESの場合はデータ送出後、CLKOUT、STSSOUTを0に設定する。その後、送信伝送フェーズ2では、タイムアップ

8

監視の下、CLKINが0、STSSINが1か否かを判断(23)し、YESの場合はデータ送出後、CLKOUTを1、STSSOUTを0に設定した後、タイムアップ監視の下における前記判断(22)に戻る。

【0027】一方、受信伝送フェーズ1では図22の如く、タイムアップ監視の下、(CLKIN)、(STSSIN)がともに0であるか否かを判断(24)し、YESの場合はデータ取込み後、(CLKOUT)を0、(STSSOUT)を1に設定する。その後、受信伝送フェーズ2では、タイムアップ監視の下、(CLKIN)が1、(STSSIN)が0か否かを判断(25)し、YESの場合はデータ取込み後、(CLKOUT)、(STSSOUT)をともに1に設定した後、タイムアップ監視の下における前記判断(24)に戻る。以上の手続によって図8に示すフェーズ遷移及び各フェーズにおける動作が実現されることになる。

【0028】〔第2実施例〕本実施例は、図23に示す如く一对の通信制御回路(50)(50)を連結する4本の制御信号線CLKOUT、CLKIN、STSSOUT及びSTSSINによる同期確立の後、1本の信号線STSSOUT(STSSIN)をデータ線として利用して、16ビットを1フレームとするシリアルデータの伝送を行なうものである。尚、本実施例では、前記第1実施例とは信号状態値"1"と"0"の論理関係が逆に設定されている。ハードウェアの構成は第1実施例と略同一であるが、シリアル伝送であるから、図5に示すデータポート(9)は不要である。アイドルフェーズ及び同期フェーズは、論理関係が逆であることを除いて前記第1実施例における図9、図10及び図11に示すシーケンスと全く同一のシーケンスが実行される。

【0029】例えば同期フェーズでは図24に示す如く、送信側がCLKOUT及びSTSSOUTを0に設定した後、図中の1.に示す様にCLKIN及びSTSSINがともに0であることを確認して、CLKOUT及びSTSSOUTをともに1に設定する。次に受信側は(CLKIN)及び(STSSIN)がともに1となるのを待って、図中2.の様に確認応答として(CLKOUT)及び(STSSOUT)を1に設定する。その後、送信側は、CLKIN及びSTSSINがともに1に移行したとき、受信側が伝送開始シーケンスを認識したとみなし、CLKOUT及びSTSSOUTを1に設定する。一定時間経過しても変化がなければ回線断とみなす。又、CLKIN及びSTSSINがともに1とならず、他の状態となった場合はプロトコルエラーであると判断して、アイドルフェーズに移行する。更に、受信側は、(CLKIN)が0、(STSSIN)が1となるのを待って、伝送フェーズ移行準備完了通知の意味で(CLKOUT)、(STSSOUT)をともに0に設定するのである。

【0030】データ伝送フェーズでは第1実施例とは異なるシーケンスが実行される。ビット伝送は、図25に示す如く送信側が送出するCLKOUTと受信側が送出するCLKINのハンドシェイクに同期して行なわれ、偶数ビットはCLKOUTの立上りに、奇数ビットは立下りに同期して転送される。CLKIN、STSSINがともに0となって伝送開始条

10

20

30

40

50

件が整うと、送信側は、CLKINが0となるのを待って、CLKOUTを1に設定すると共に、STSCOUTに該当ビットを出力する。受信側は、(CLKIN)が1となるのを待って、(STSCIN)から該当ビットを取り出し、(CLKOUT)を1に設定する。次に送信側はCLKINが1となるのを待って、CLKOUTを0に設定すると共に、STSCOUTに該当ビットを出力する。更に受信側は、(CLKIN)が0となるのを待って、(STSCIN)から該当ビットを取り出し、(CLKOUT)を0に設定する。受信側の信号(STSCOUT)は1フレームの受信開始時点で1に設定し、受信終了で0に設定する。

【0031】図26は、上記のシーケンスに従ってアイドルフェーズから同期フェーズを経て伝送フェーズへ至り、更に同期フェーズへ遷移している信号例を示している。前記第1実施例と同様に、制御信号の僅か2周期で同期が確立し、その後の伝送フェーズへの移行は淀みなく行なわれ、然も伝送フェーズにおけるデータ伝送は、制御信号の状態変化周期と同一の周期で行なわれ、極めて高速(例えば60Kbps)のデータ伝送が実現がされている。

【0032】本実施例において前記フェーズコントロールユニット(10)に登録されている手続は、同期フェーズでは図19及び図20の示すものと同じである。以下、図27及び図28に沿って伝送フェーズにおける手続について説明する。図27に示す様に送信伝送フェーズ1では、ステート監視タイマーによるタイムアップを監視しつつ、CLKIN、STSCINがともに1であるか否かを判断(26)し、YESの場合はSTSCOUTにデータ送出後、CLKOUTを0に設定する。その後、送信伝送フェーズ2では、タイムアップ監視の下、CLKINが0、STSCINが1か否かを判断(27)し、YESの場合はSTSCOUTにデータを送出し、CLKOUTを10に設定した後、タイムアップ監視の下における前記判断(26)に戻る。

【0033】一方、受信伝送フェーズ1では図28の如く、タイムアップ監視の下、(CLKIN)が0であるか否かを判断(28)し、YESの場合は(STSCOUT)からデータを取り込んだ後、(CLKOUT)を0に設定する。その後、受信伝送フェーズ2では、タイムアップ監視の下、(CLKIN)が1か否かを判断(29)し、YESの場合は(STSCOUT)からデータを取り込み、(CLKOUT)を1に設定した後、タイムアップ監視の下における前記判断(28)に戻る。以上の手続の執行によって図8に示すフェーズ遷移、前述の各フェーズにおけるデータ通信が実現されるのである。尚、第1実施例と同様に同期フェーズの信号パターンは伝送フェーズにおいて発生することはなく、従ってデータ伝送中に誤動作を起こすことはない。

【0034】上記データ通信方式に於いては、主局宣言から従局承諾、主局の送信開始要求を経て従局の受信準備完了に至るまでの一連のシーケンスが極めて単純であるから、そのシーケンスの実行時間が従来に比べて大きく短縮されるばかりでなく、シーケンスの実行を論理回

路で実現する場合、回路構成が簡易となる。又、データ伝送の際に2エッジハンドシェイクを採用することによって、制御信号の周期とデータの伝送周期を同一としているから、高速のデータ伝送が可能である。

【0035】従って、上記データ通信方式に従った第2ダウンロードプログラムは極めて簡易で、その通信速度は第1ダウンロードプログラムよりも遥かに高速である。これによってターゲットプログラムは短時間でダウンロードされ、第1ダウンロードプログラムによる第2ダウンロードプログラムのロード時間を加えても、図29に示す従来方式よりも短時間でダウンロードが完了することになる。

【0036】上記実施例の説明は、本発明を説明するためのものであって、特許請求の範囲に記載の発明を限定し、或は範囲を減縮する様に解すべきではない。又、本発明の各部構成は上記実施例に限らず、特許請求の範囲に記載の技術的範囲内で種々の変形が可能であることは勿論である。例えば第1ダウンロードの方式としてはセントロニクスやRS-422等を採用出来、更に第2ダウンロードプログラムとしては、データ圧縮方式等、周知の高速通信アルゴリズムを採用出来る。

【図面の簡単な説明】

【図1】本発明に係るダウンロード方式の手順を示すフローチャートである。

【図2】本発明に係るダウンロード方式を実施すべきホストシステム及びターゲットシステムの構成を示すブロック図である。

【図3】本発明に係るダウンロード方式を説明する図である。

【図4】高速データ通信方式を実施すべき機器構成を示すブロック図である。

【図5】通信制御回路の構成を示すブロック図である。

【図6】コントロールロジックの回路構成を示すブロック図である。

【図7】フェーズの移行を示すタイムチャートである。

【図8】各フェーズ間の遷移図である。

【図9】アイドルフェーズにおける信号の変化を示すタイムチャートである。

【図10】アイドルフェーズにおける信号の変化を示す他のタイムチャートである。

【図11】同期フェーズにおける信号の変化を示すタイムチャートである。

【図12】伝送フェーズにおける信号の変化を示すタイムチャートである。

【図13】アイドルフェーズから伝送フェーズへ至る信号の変化を示すタイムチャートである。

【図14】同期フェーズにおける信号の状態値の変化を示すタイムチャートである。

【図15】同上の変化を表わす図表である。

【図16】図14に対応する他の状態値変化例を示すタ

ムチャートである。

【図17】 同上の変化例を表わす図表である。

【図18】 アイドルフェーズにおける動作を表わすフローチャートである。

【図19】 送信同期フェーズにおける動作を表わすフローチャートである。

【図20】 受信同期フェーズにおける動作を表わすフローチャートである。

【図21】 送信伝送フェーズにおける動作を表わすフローチャートである。

【図22】 受信伝送フェーズにおける動作を表わすフローチャートである。

【図23】 シリアル伝送の場合の信号線の構成を説明するブロック図である。

【図24】 同期フェーズにおける信号の変化を示すタイムチャートである。

ムチャートである。

【図25】 伝送フェーズにおける信号の変化を示すタイムチャートである。

【図26】 アイドルフェーズから伝送フェーズへ至る信号の変化を示すタイムチャートである。

【図27】 送信伝送フェーズにおける動作を示すフローチャートである。

【図28】 受信伝送フェーズにおける動作を示すフローチャートである。

10 【図29】 従来のダウンロード方式を説明する図である。

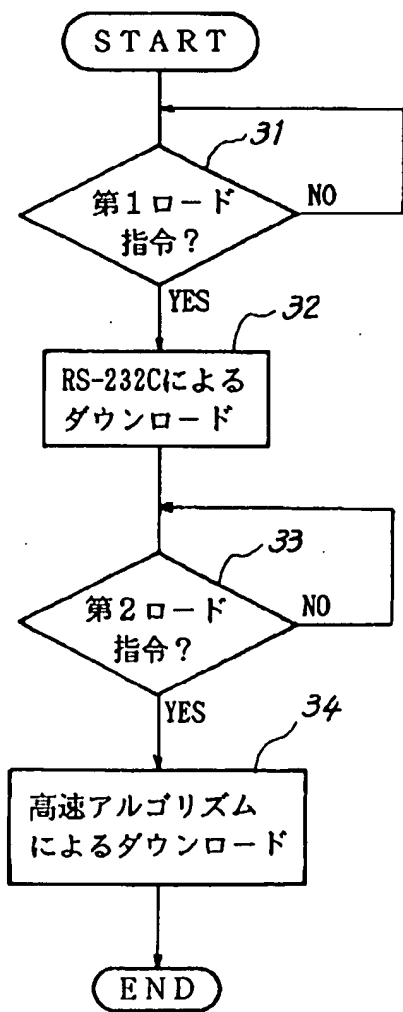
【符号の説明】

(41) ホストシステム

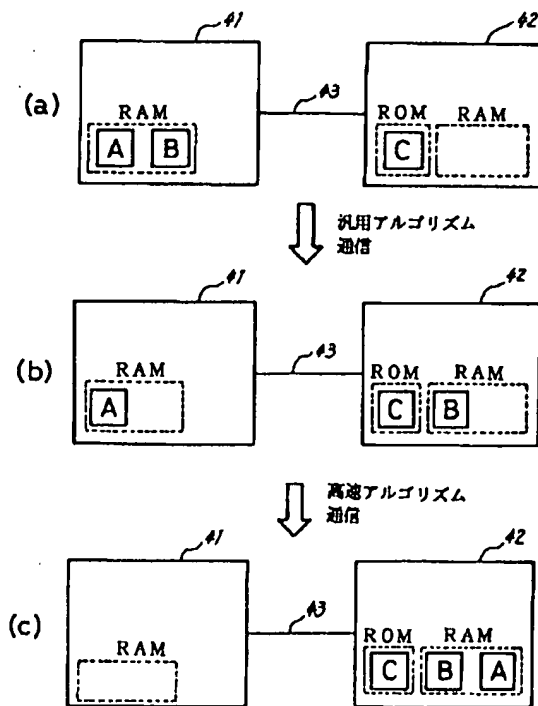
(42) ターゲットシステム

(43) RS-232C通信ケーブル

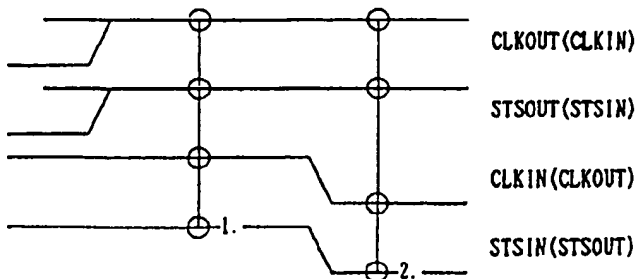
【図1】



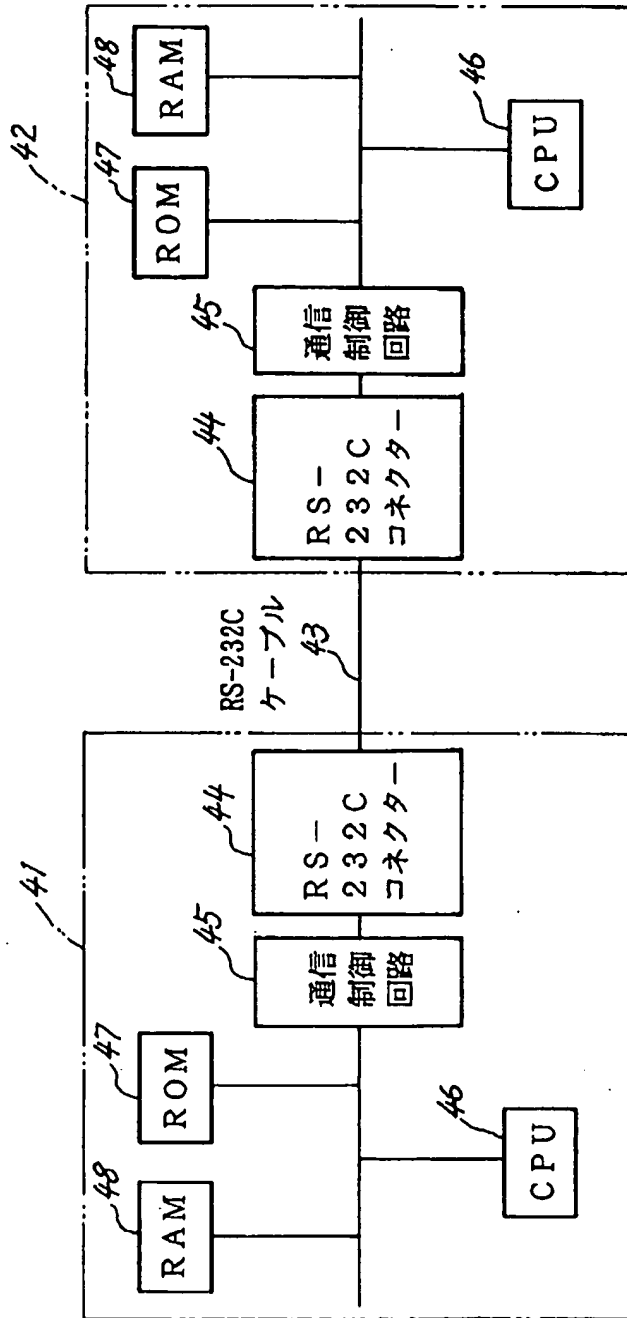
【図3】



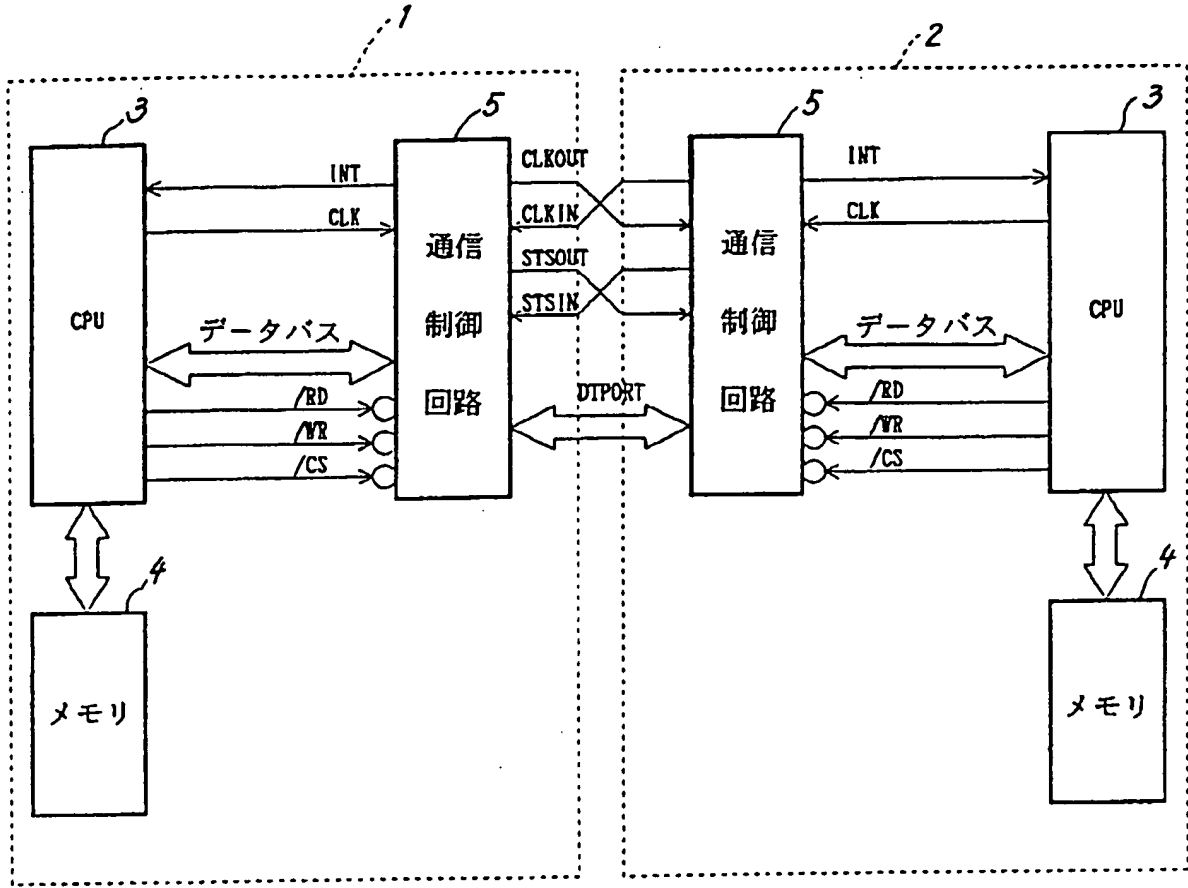
【図9】



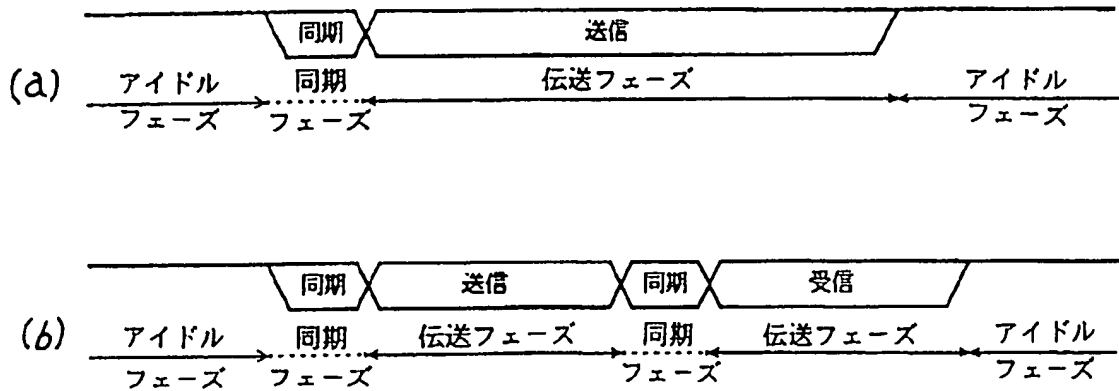
【図2】



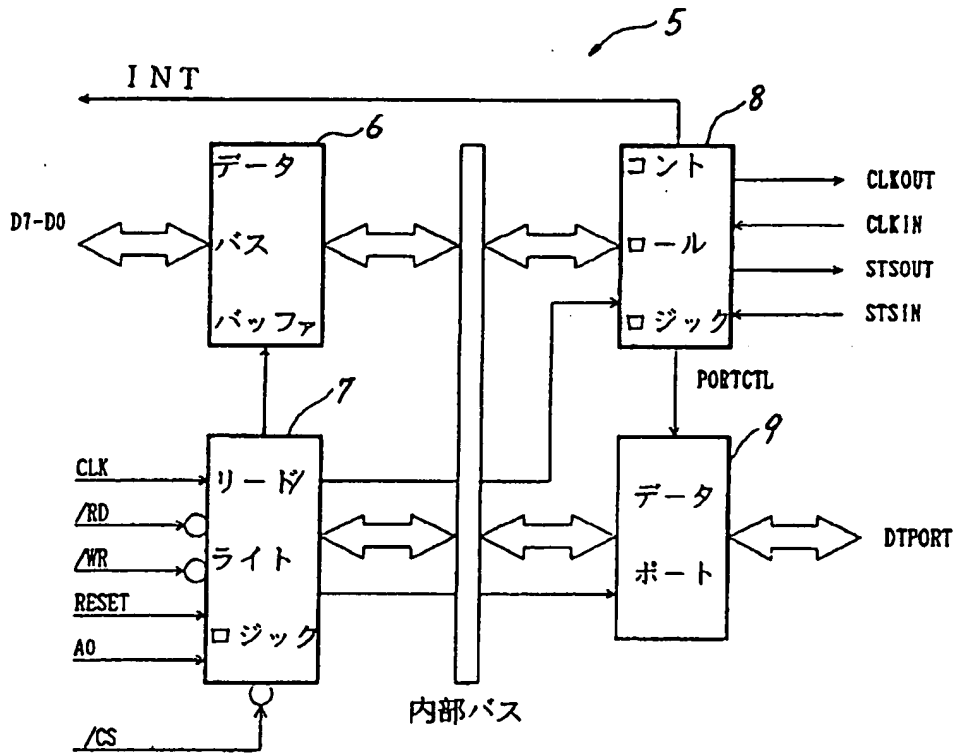
【図4】



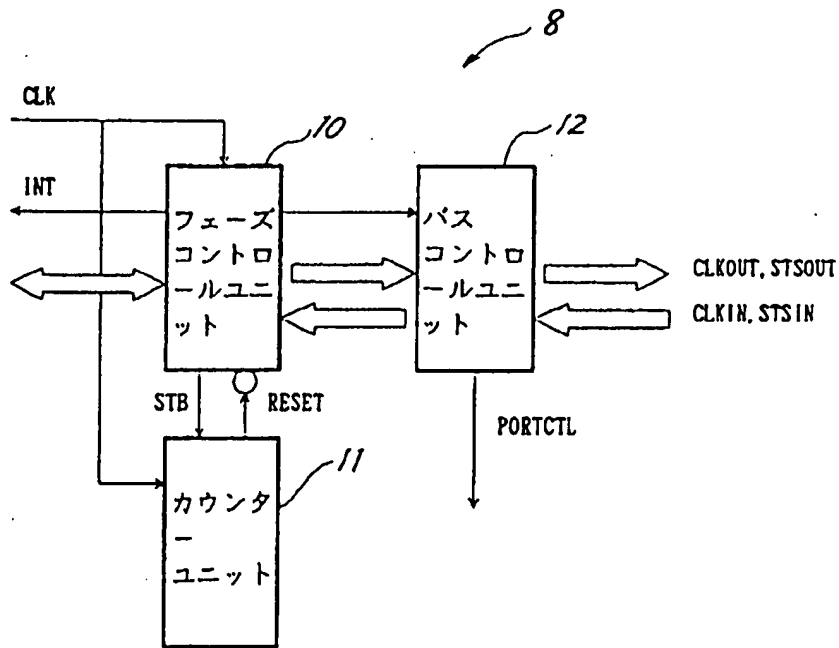
【図7】



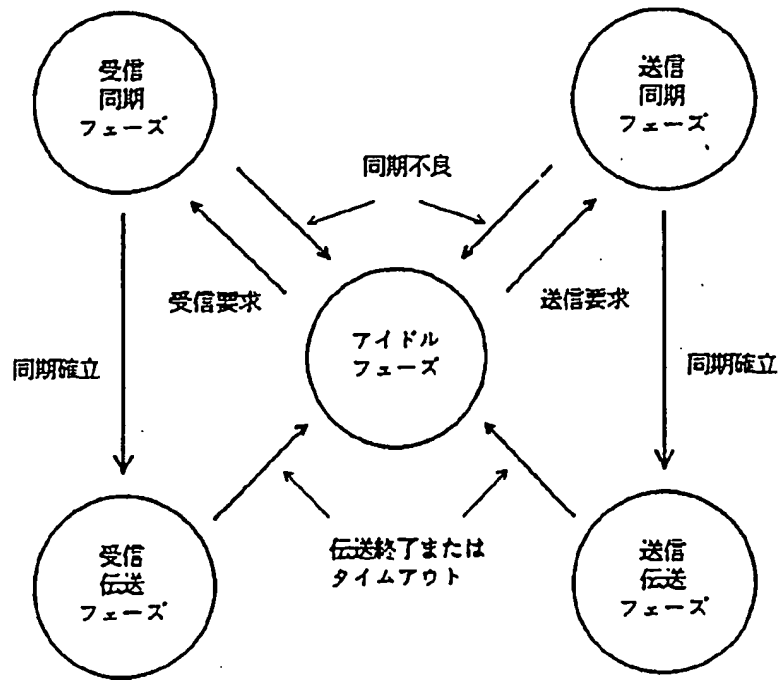
【図5】



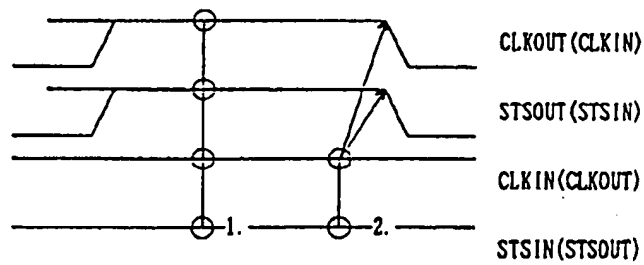
【図6】



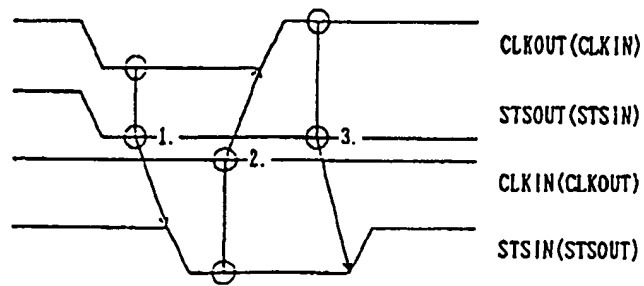
【図8】



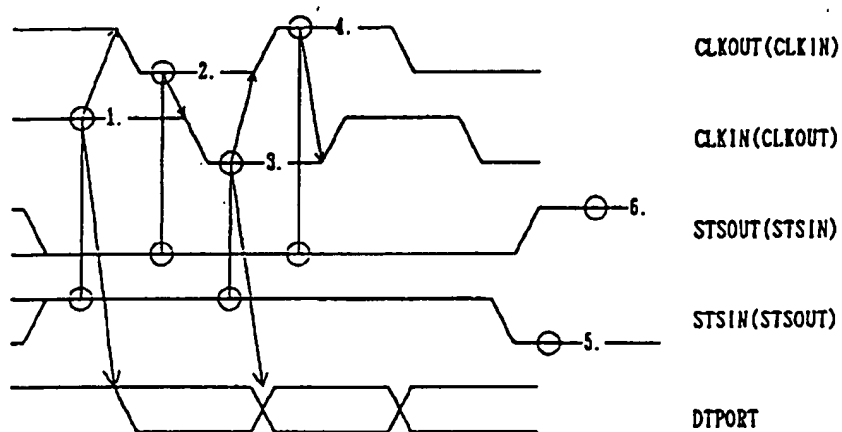
【図10】



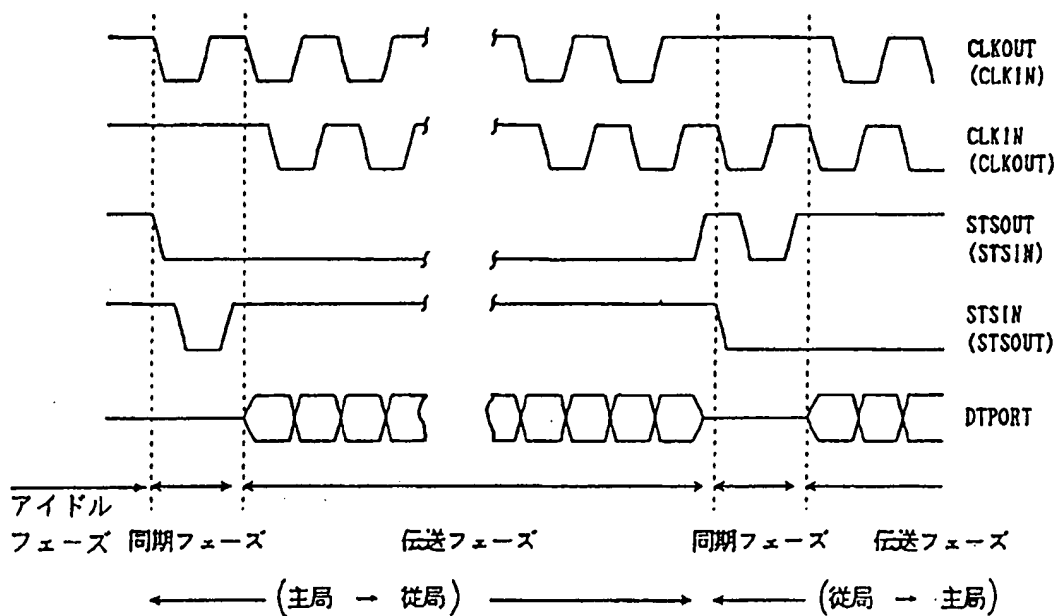
【図11】



【図 1 2】



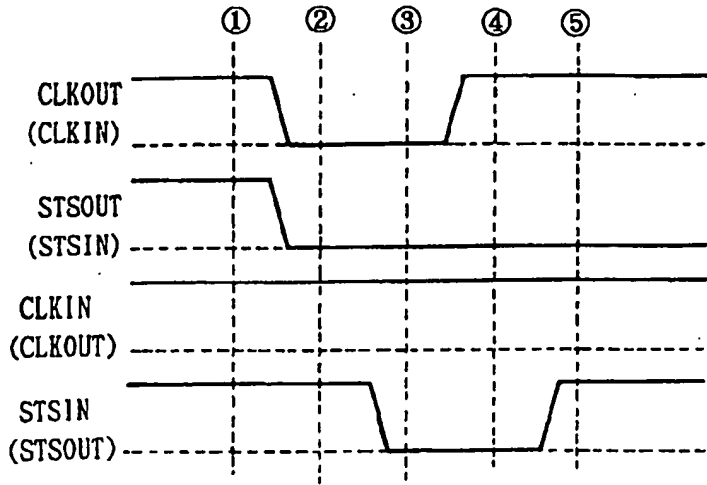
【図 1 3】



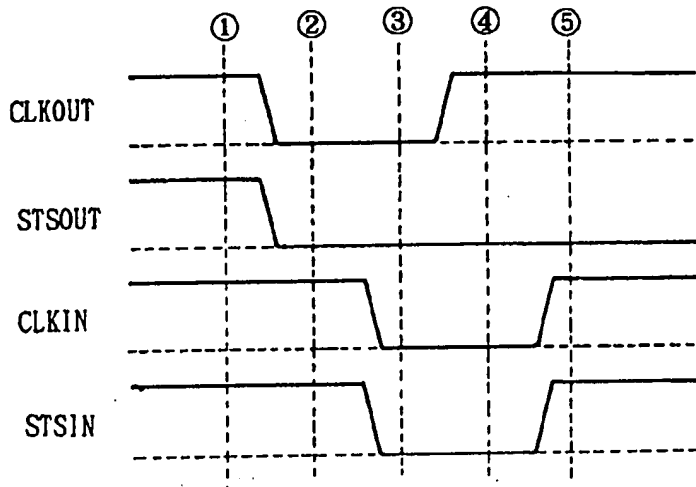
【図 1 5】

信号線	バ'ル				
	①	②	③	④	⑤
CLKOUT	1	0	0	1	1
STSOUT	1	0	0	0	0
CLKIN	1	1	1	1	1
STSIN	1	1	0	0	1

【図14】



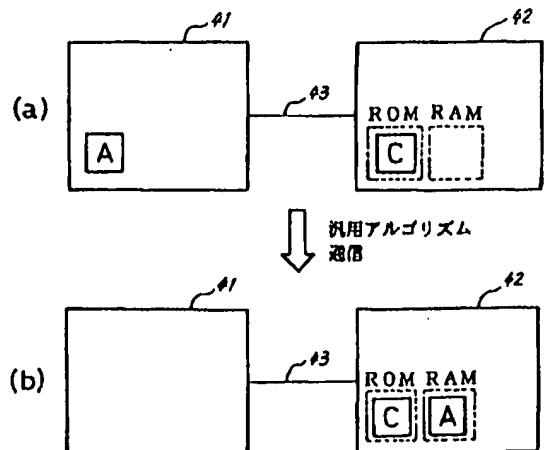
【図16】



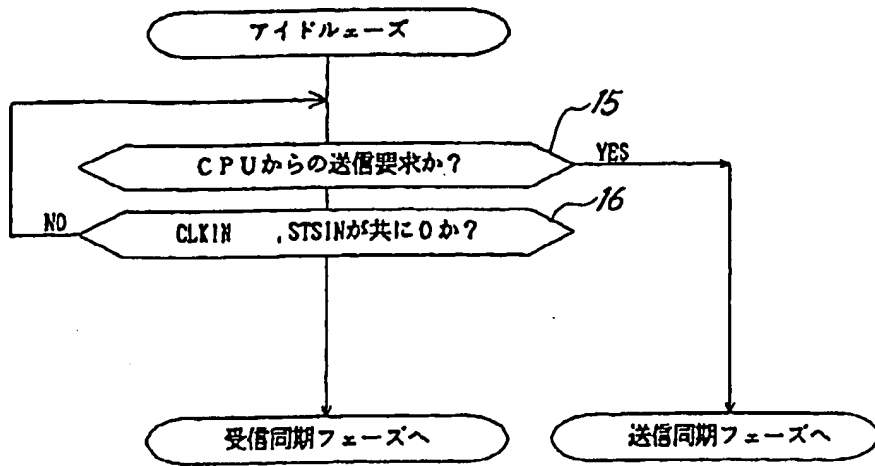
【図17】

信号線	レベル				
	①	②	③	④	⑤
CLKOUT	1	0	0	1	1
STSOUT	1	0	0	0	0
CLKIN	1	1	0	0	1
STSIN	1	1	0	0	1

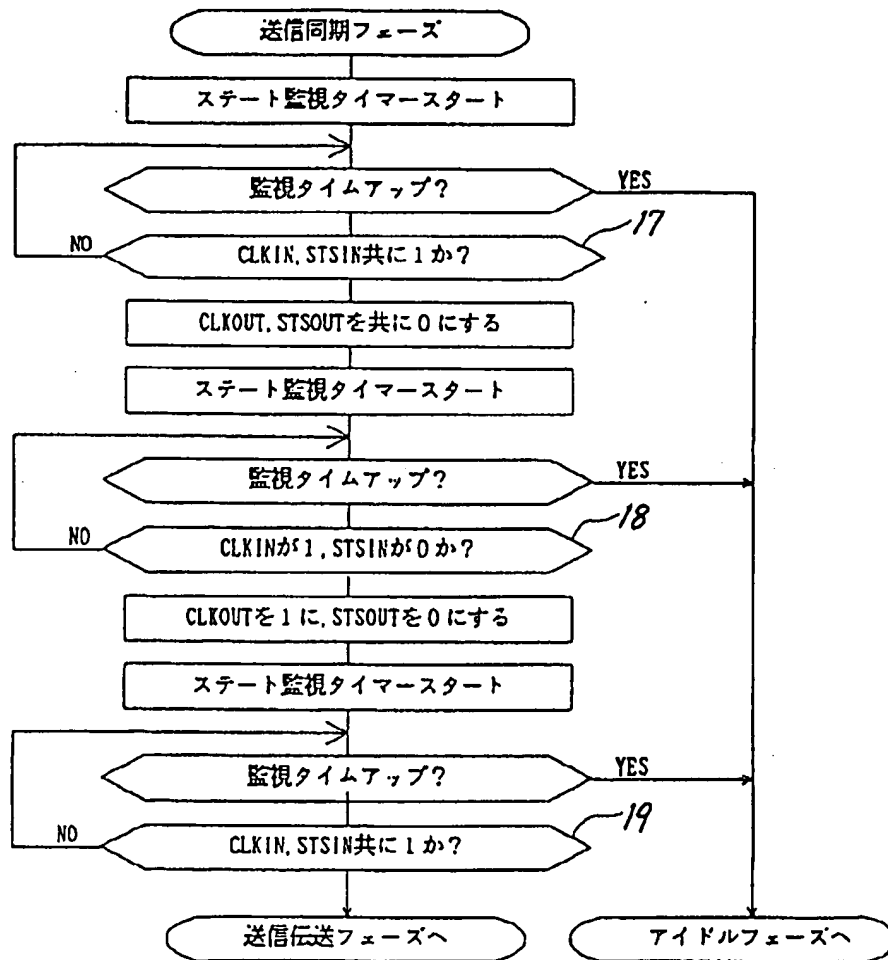
【図29】



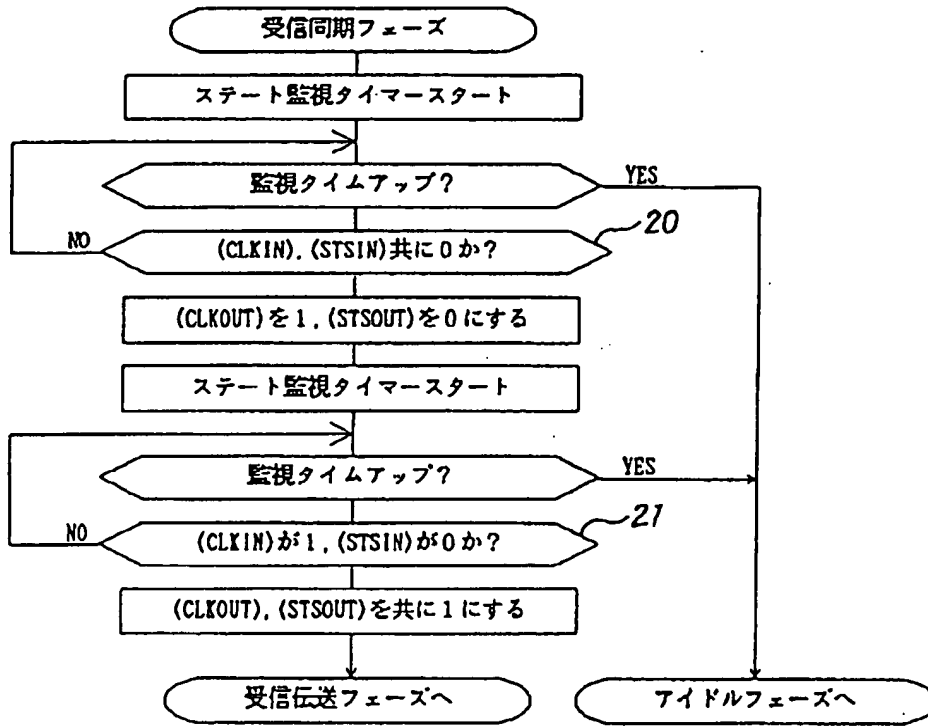
【図18】



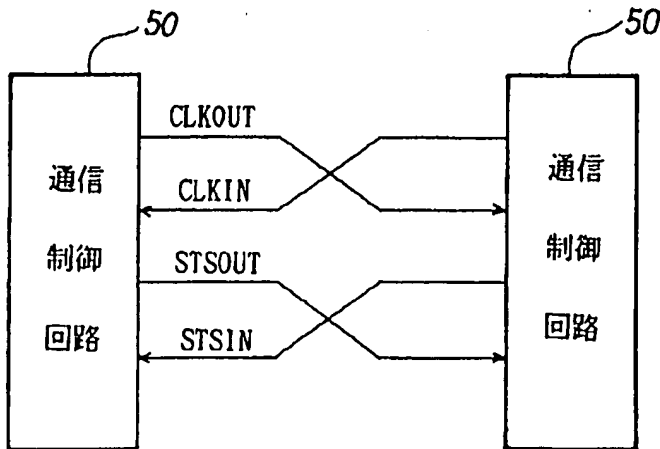
【図19】



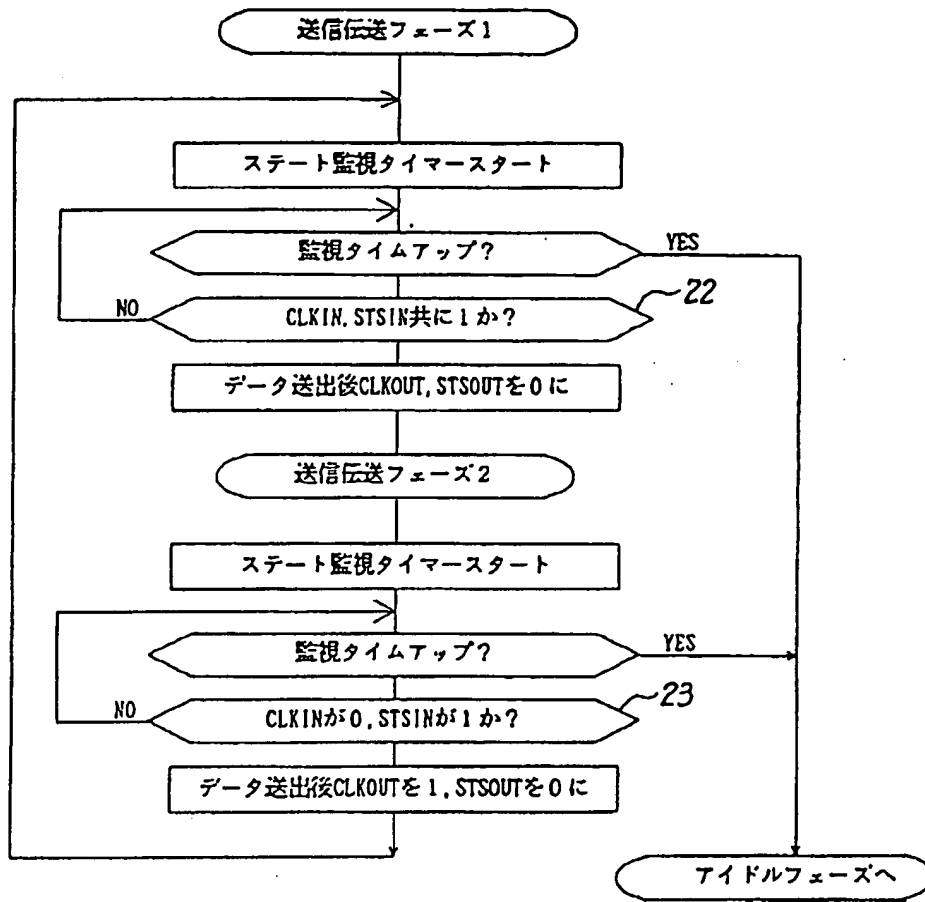
【図20】



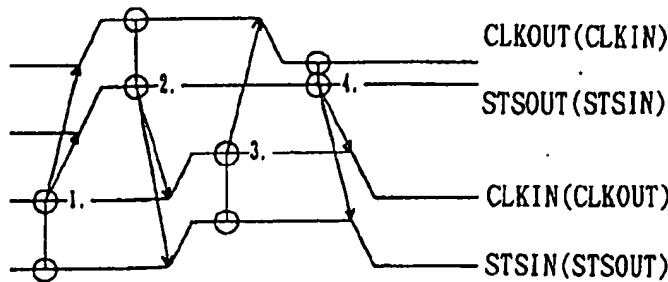
【図23】



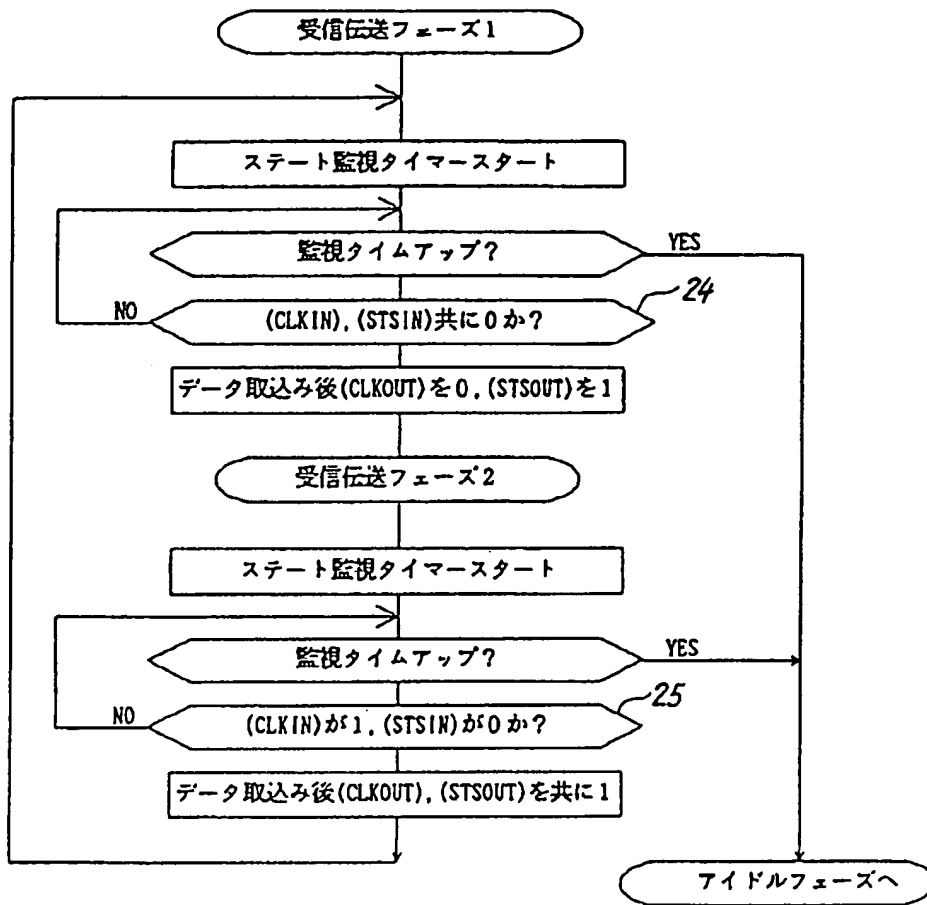
【図21】



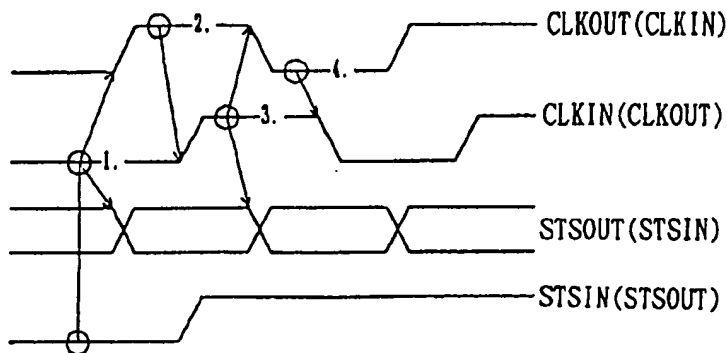
【図24】



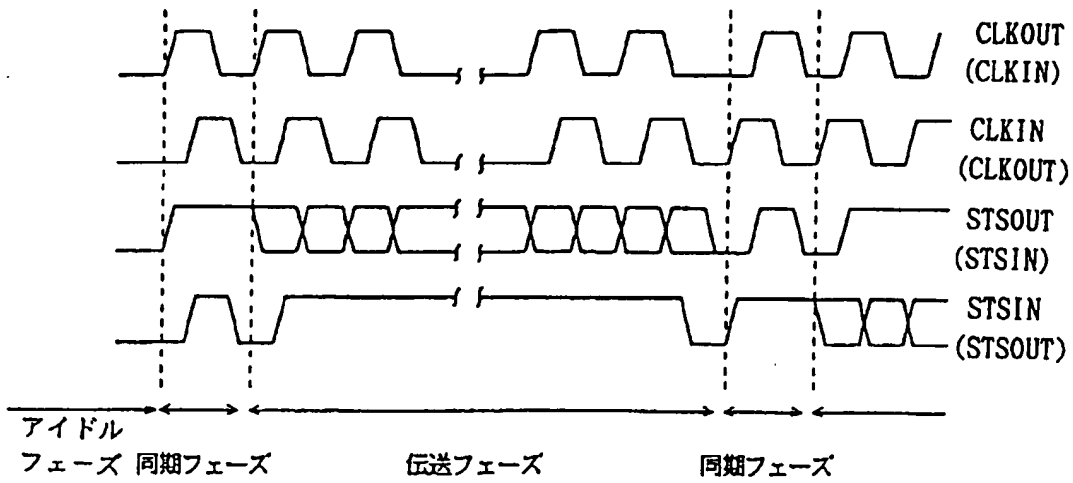
【図22】



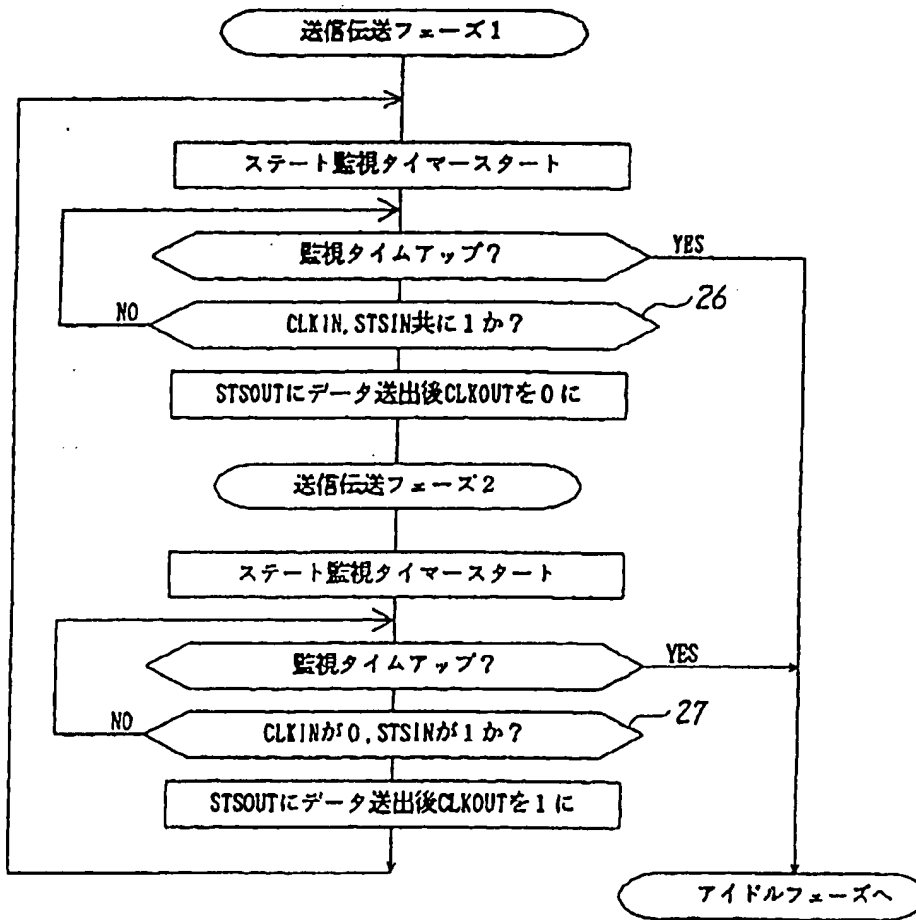
【図25】



【図26】



【図27】



【図28】

